

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-089550

(43)Date of publication of application : 15.04.1991

(51)Int.Cl.

H01L 27/06  
H01L 21/331  
H01L 29/73  
H01L 31/10

(21)Application number : 01-226309

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 31.08.1989

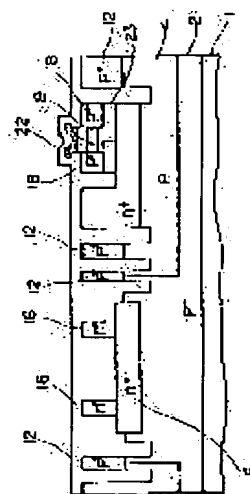
(72)Inventor : KYOMASU MIKIO  
SAWARA MASAOKI  
OKAJIMA KENICHI  
NAKAMURA HIROYASU

## (54) MANUFACTURE OF BIPOLAR TRANSISTOR

## (57)Abstract:

**PURPOSE:** To eliminate unnecessarily lateral diffusion of oxide and to provide satisfactory controllability for a groove shape, etc., by oxidizing the inner faces of shallow and deep grooves formed on a separating region to form oxide films in the grooves, and burying polysilicon in the deep groove.

**CONSTITUTION:** A high concentration p-type semiconductor substrate 1 is buried to be diffused and epitaxially grown, and etched to form shallow grooves on an isolating region of npn transistors, an isolating region of a p-type base layer and a collector wall to be formed in future in the transistor, a photodetecting region of a PIN photodiode, etc. Then, the groove of the isolating region of the shallow groove is deepened by anisotropic dry etching. Thereafter, boron ions are implanted to form a p+ type stopper layer in the bottom of the deep groove. When an SiN film on the sidewall of the groove remains, it is thermally oxidized to oxidize a part not covered with the SiN film. Then, polysilicon is deposited on the whole surface to bury the hole of the deep groove, and polysilicon 13 remains only in the deep groove by etching.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Best Available Copy

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-89550

⑬ Int. Cl.<sup>3</sup>  
H 01 L 27/06

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)4月15日

8728-5F H 01 L 27/06 1 0 1 D  
9055-5F 31/10 A※

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 バイポーラトランジスタの製造方法

⑯ 特 願 平1-226309

⑰ 出 願 平1(1989)8月31日

⑱ 発 明 者 京 増 幹 雄 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内

⑲ 発 明 者 佐 原 正 哲 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内

⑳ 発 明 者 岡 島 賢 一 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内

㉑ 出 願 人 浜松ホトニクス株式会 静岡県浜松市市野町1126番地の1  
社

㉒ 代 理 人 弁理士 長谷川 芳樹 外3名  
最終頁に続く

明 細 書

1. 発明の名称

バイポーラトランジスタの製造方法

2. 特許請求の範囲

エミッタ電極、ベース電極およびコレクタ電極を全て半導体基板の表面から取り出す構造のプレーナ型バイポーラトランジスタの製造方法において、

ベース層とコレクタ電極取出層とを分離する領域および素子分離領域に浅い溝を形成する工程と、

前記素子分離領域に形成された浅い溝をさらにエッチングして深い溝にする工程と、

前記浅い溝および深い溝の内面を酸化してその底部の厚さが前記浅い溝の深さとほぼ同じとなる酸化膜を各溝内に形成する工程と、

前記深い溝内にポリシリコンを埋め込む工程とを含むバイポーラトランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、プレーナ型バイポーラトランジスタの製造方法に関するものである。

〔従来の技術〕

プレーナ型バイポーラトランジスタ集積回路においては、2つの分離構造が必要である。一つは素子間を分離するための構造であり、もう一つはトランジスタ内部において、コレクタ電極を表面から取り出すためのコレクタウォール層と外部ベース層とを分離するための構造である。分離構造の最も一般的なものは、部分酸化方式によるものであり、分離領域の半導体を酸化しその酸化物によって分離を行う。

〔発明が解決しようとする課題〕

部分酸化による分離の場合、酸化が横方向に拡がることなく縦方向(上下方向)にのみ進行して行くことが望ましいが、実際にはそれは非常に困難である。したがって、横方向への拡がりのために面積が不必要に大きくなり、集積化の妨げとな

っていた。また、素子間分離構造とトランジスタ内部の分離構造とでは必要な深さが異なり、両方の分離構造についてその深さを満足するような制御が難しかった。

本発明の課題は、このような問題点を解消することにある。

#### 〔課題を解決するための手段〕

上記課題を解決するために本発明のバイポーラトランジスタの製造方法は、ベース層とコレクタ電極取出層（コレクタウォール）とを分離する領域および素子分離領域に浅い溝を形成する工程と、素子分離領域に形成された浅い溝をさらにエッチングして深い溝にする工程と、浅い溝および深い溝の内面を酸化してその底部の厚さが浅い溝の深さとほぼ同じとなる酸化膜を各溝内に形成する工程と、深い溝内にポリシリコンを埋め込む工程とを含むものである。

#### 〔作用〕

溝を掘った後その内面を酸化するので、分離のための酸化物が不必要に横方向へ拡がらない。ま

面にはオートドープ阻止のための  $\text{SiO}_2$  膜が形成されている（第1図（A）参照）。つぎに、表面に  $\text{SiO}_2$  膜3を形成し、フォトリソグラフィ技術によってその  $\text{SiO}_2$  膜3を加工する。その  $\text{SiO}_2$  膜3をマスクとして上方からボロンをイオン注入し、npnトランジスタのためのpウェル埋込層4を形成する。この埋込層4の不純物濃度は  $10^{15} \sim 10^{16} / \text{cm}^3$  程度である（第1図（B）参照）。pウェル埋込層4の位置で示されるように、同図におけるほぼ右半分がnpnトランジスタ形成領域であり、左半分がPINホトダイオード形成領域である。ついで再び、フォトリソグラフィ技術などを用いて表面の  $\text{SiO}_2$  膜3を加工し、加工後の  $\text{SiO}_2$  膜をマスクとしてアンチモン（Sb）を熱拡散する。これによって、npnトランジスタ用のn型埋込層5およびPINホトダイオード用のn型埋込層6が形成される。n型埋込層5、6の不純物濃度は  $10^{19} \sim 10^{20} / \text{cm}^3$  程度である（第1図（C）参照）。第3図は上述した埋込層4～6のプロファイルを示して

た、深い溝である素子分離溝については2ステップで溝が掘られるので、1ステップで行う場合に比べてその溝形状等についての制御性がよい。しかも素子分離用溝における2ステップ溝掘りの第1ステップは、内部分離用溝の溝掘り工程を兼ねている。

#### 〔実施例〕

第1図は本発明のバイポーラトランジスタの製造方法を示す工程断面図、第2図はその結果得られた半導体装置を示す部分断面斜視図である。なお、本実施例は、npnバイポーラトランジスタと共にPINホトダイオードを同一基板上にモノリシックに搭載した半導体装置の製造方法となっている。

初めに第1図を参照しながらその製造方法を説明する。不純物濃度が  $10^{20} \sim 10^{21} / \text{cm}^3$  程度の高濃度p型半導体基板1上に不純物濃度が  $10^{12} \sim 10^{14} / \text{cm}^3$  程度の低濃度p型エピタキシャル層2を30～50  $\mu\text{m}$  の厚さで形成する。なお、図示が省略されているが半導体基板1の裏

おり、曲線Aがアンチモンのプロファイルであり、曲線Bがボロンのプロファイルである。その後、表面の  $\text{SiO}_2$  膜3を除去し、2  $\mu\text{m} \pm 0.2$   $\mu\text{m}$  の厚さのn型エピタキシャル層7を形成する。その不純物濃度は  $10^{15} \sim 10^{16} / \text{cm}^3$  程度である（第1図（D）参照）。以上で、埋込拡散とエピタキシャル成長工程が終わる。

引き続き、分離プロセスについて説明する。

n型エピタキシャル層7の表面全体に、 $\text{SiO}_2$  膜8およびSiN膜9を形成する。そして、その上にレジスト10を塗布し、フォトリソグラフィ技術を用いて所望領域の  $\text{SiO}_2$  膜8およびSiN膜9をエッチングで除去する。その後、 $\text{SiO}_2$  膜8およびSiN膜9をマスクとして、n型エピタキシャル層7を表面から0.1  $\mu\text{m}$  の深さまでウェットエッチングし、さらに0.7  $\mu\text{m}$  の深さまで異方性ドライエッチングして、浅い溝を形成する（第1図（E）参照）。ここで、所望領域とは、npnトランジスタの分離領域、npnトランジスタ内部に将来設けるp型ベース

層とコレクタウォールとの分離領域、PINフォトダイオードの受光領域等である。

つぎに、レジスト11を塗布し、フォトリソグラフィ技術により分離領域に設けられた溝の上方のみを除去する。そして、レジスト11をマスクとして $3.0\mu\text{m}$ の異方性ドライエッチングを行い、浅い溝のうち分離領域にある溝を深くする。その後、レジスト11を残したままボロンのイオン注入を行い、深い溝のそれぞれの底部に $p^+$ のストッパ層を形成する(第1図(F)参照)。同図において、符号51で示す溝が内部分離用の浅い溝であり、符号52で示す溝がバイポーラトランジスタの素子間分離用の深い溝である。つぎに、レジスト10、11を除去した後、再びレジストを塗布しフォトリソグラフィ技術を利用してボロンをイオン注入し、 $p^+$ タブ12を形成する。 $p^+$ タブ12は、PINホトダイオード領域およびnpnトランジスタ領域をそれぞれ取り囲むように形成される。ついで、レジストを除去し、各溝の内面に $\text{SiO}_2$ 膜およびSiN膜を形成する。

トリソグラフィ技術を利用してパターニングする。残された $\text{SiO}_2$ 膜26およびSiN膜27をマスクとして溝を拡散することにより、npnトランジスタのコレクタウォールとなる $n^+$ 層15およびPINホトダイオードの電極引き出し層となる $n^+$ 層16を形成する(第1図(J)参照)。なお、第1図(J)から(M)では、深い溝の中のポリシリコンおよびSiN膜の表示は簡単のため省略してある。続いて、SiN膜の開口部を酸化した後、エミッタ領域にマスク17を形成し、ボロンをイオン注入して外部ベース18を形成する(第1図(K)参照)。さらに、フォトリソグラフィ技術でボロンをイオン注入して真性ベース19を形成する。その後、 $\text{SiO}_2$ 膜20を化学的気相成長法(CVD)で堆積し、加熱してプロファイルを形成する(第1図(L)参照)。

つぎに、表面の $\text{SiO}_2$ 膜20およびSiN膜をドライエッチングで除去した後、ポリシリコン21を堆積する。そして、ひ素をイオン注入する(第1図(M)参照)。その後、 $\text{SiO}_2$ 膜をC

そして、SiNの異方性エッチングにより各溝の側壁のSiN膜を残したまま底部のSiN膜を除去する(第1図(G)参照)。続いて、6気圧、 $1050^\circ\text{C}$ で雰囲気中で熱酸化を行う。これにより、SiN膜で覆われていない部分が酸化される。この酸化によって得られる酸化膜の厚さは $1.5\mu\text{m}$ 程度であり、浅い溝をほぼ埋め尽くしてしまう。その後、ポリシリコン13を表面全体に堆積することにより、深い溝も穴埋めしてしまう。そして、ポリシリコン13の表面に $\text{SiO}_2$ 膜およびSiN膜を形成し、ドライエッチングにより深い溝の上部のみに残るようにパターニングする(第1図(H)参照)。つぎに、ポリシリコン13をエッチングする。これによって、深い溝の内部にのみポリシリコン13が残る。そして、表面に残されたSiN膜をドライエッチングにより除去した後、酸化を行って表面を平坦化する(第1図(I)参照)。

つぎに、表面に $\text{SiO}_2$ 膜26およびSiN膜27を形成する。これらの膜の所望の領域をフォ

VDで堆積し、加熱してエミッタ22を形成する。なお、ベース19の下側に残されてるn型エピタキシャル層がコレクタ23となる。そして、 $\text{SiO}_2$ 膜および不要なポリシリコンをドライエッチングして除去し、再び $\text{SiO}_2$ 膜をCVDで堆積する(第1図(N)参照)。

第2図に示す半導体装置は、以上の工程を経た後、必要な電極を形成したものであり、同一基板上にPINホトダイオード31とnpnトランジスタ32とがモノリシックに形成されている。PINホトダイオード31は、高濃度p型半導体基板1をP層、低濃度p型エピタキシャル層2を1層、n型埋込層6をN層とする基板PINホトダイオードである。n型埋込層6には電極取出層16を介してカソード電極33が設けられており、基板1の裏面には図示省略したアノード電極が設けられている。電極間に逆バイアスが印加された状態で光が入射すると、低濃度p型エピタキシャル層2の空乏領域でキャリアが発生し、このキャリアが空乏領域の電界によって移動して光電流と

なる。また、 $p^+$  層上の電極 34 は、裏面の電極と共に PIN ホトダイオードのアノード電極として機能するものである。この電極 34 がアノード電極として付加されることにより、アノード電極を裏面電極のみとしたときよりも寄生抵抗を低減することができる。

n p n トランジスタ 3 2 には、図示のように、エミッタ電極 3 5、ベース電極 3 6、コレクタ電極 3 7 が設けられている。p 型埋込層 4 は周囲の素子との間のパンチスルーを防止するために設けられている。また、分離溝の底部の周囲にはストップ層 2 9 が設けられ、パンチスルーを一層効果的に防止している。

〔発明の効果〕

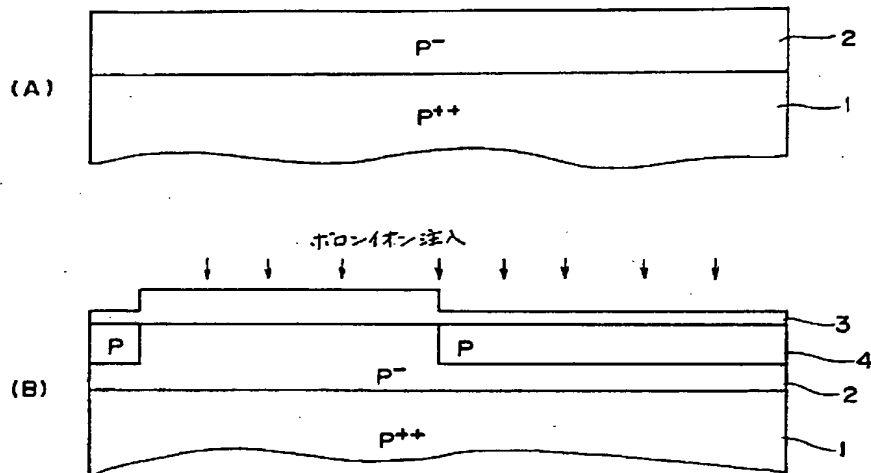
以上説明したように、本発明のバイポーラトランジスタの製造方法によれば、素子間分離および素子の内部の分離のいずれに対しても溝掘り工程を用いているので、分離領域を狭くすることができ、集積化効率を高めることができる。また、深い溝である素子分離溝については２ステップで溝

が掘られるので、1ステップで行う場合に比べて形状等についての制御性がよく、しかも素子分離用溝における2ステップ溝掘りの第1ステップは、内部分離用溝の溝掘り工程を兼ねているので、少ない工程数で2種類の分離構造を作ることができる。

#### 4. 図面の簡単な説明

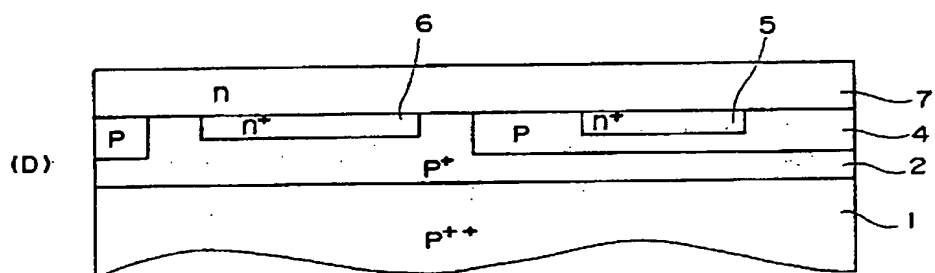
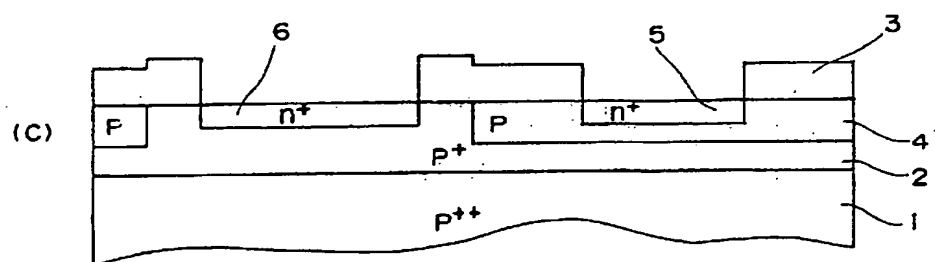
第1図は本発明の一実施例であるバイポーラトランジスタの製造方法を示す工程断面図、第2図はその結果得られた半導体装置を示す部分断面斜視図、第3図は埋込層のプロファイルを示すグラフである。

1…高濃度 p 型半導体基板、2…低濃度 p 型エ  
ピタキシャル層、4…p 型埋込層、5、6…n 型  
埋込層、7…n 型エピタキシャル層、12…p<sup>+</sup>  
タブ、18…外部ベース、19…真性ベース、  
22…エミッタ、23…コレクタ、31…PIN  
ホトダイオード、32…npn トランジスタ、  
51…内部分離用溝、52…素子間分離用溝。



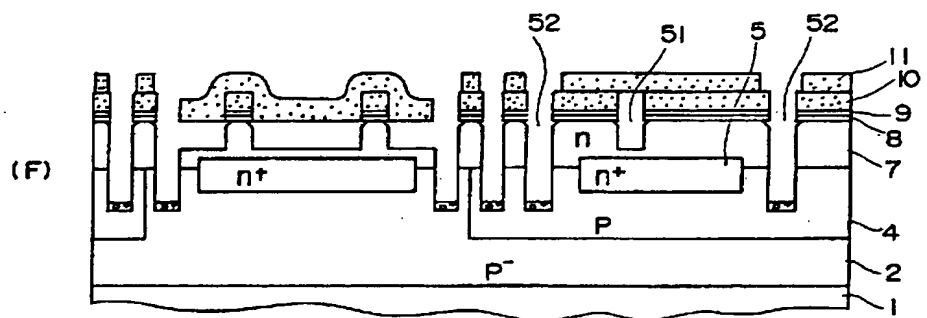
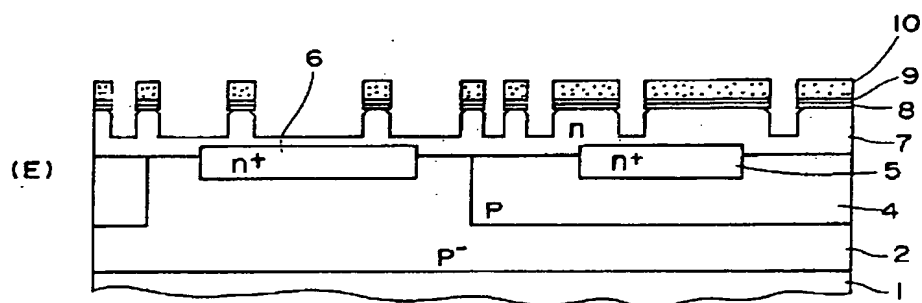
### 实施例。製造方法(1)

第 1 圖 (1/7)



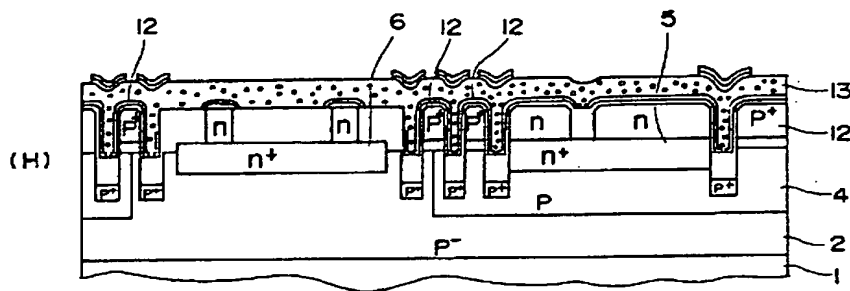
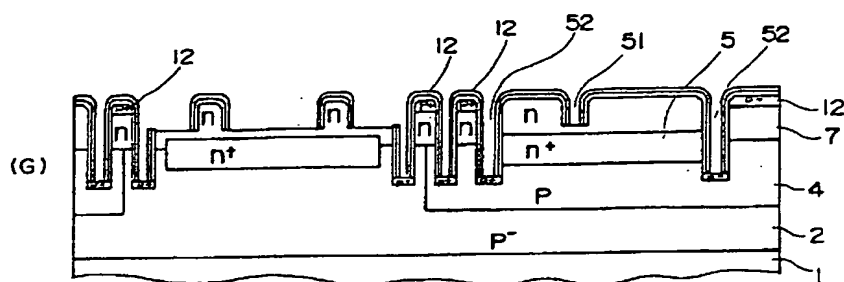
実施例の製造方法 (2)

第 1 図 (2/7)



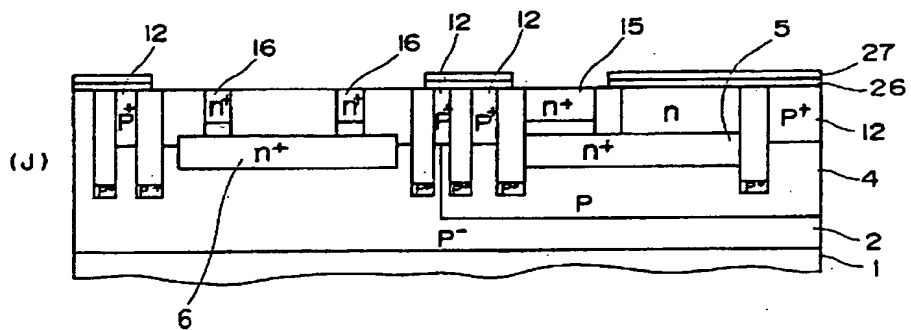
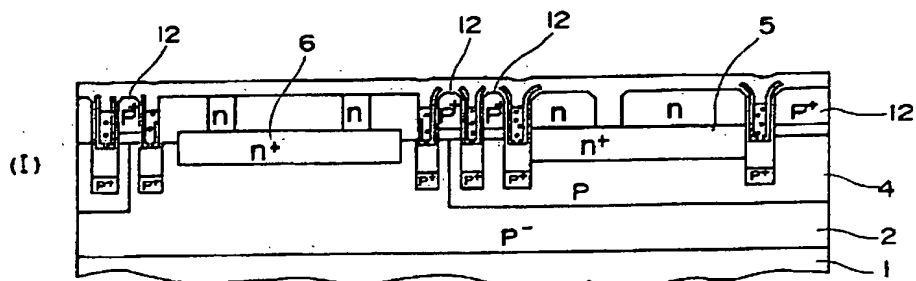
実施例の製造方法 (3)

第 1 図 (3/7)



実施例の製造方法(4)

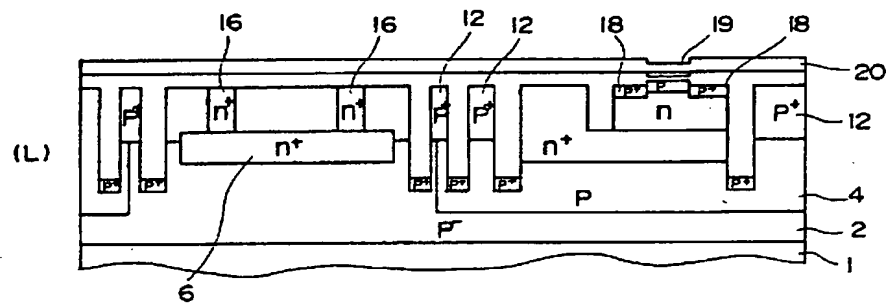
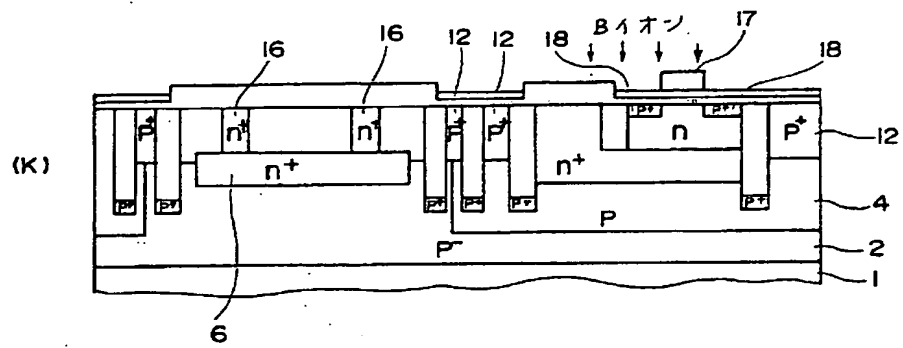
第 1 図 (4/7)



実施例の製造方法(5)

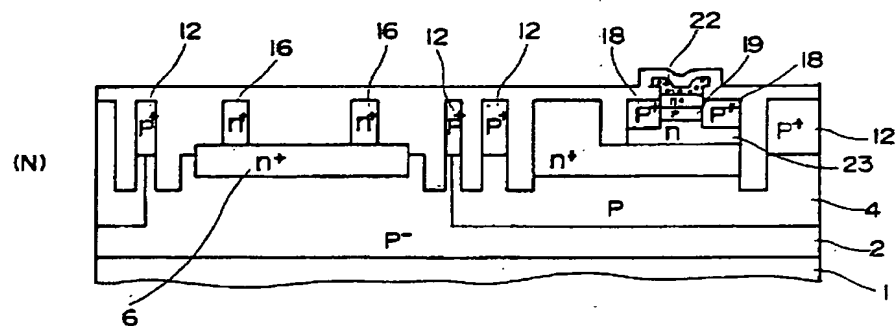
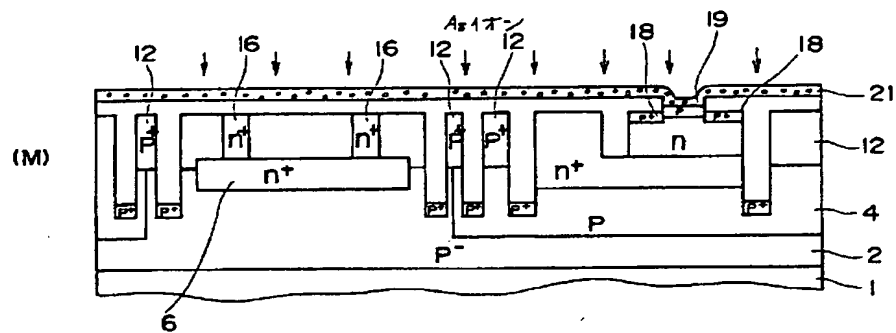
第 1 図 (5/7)





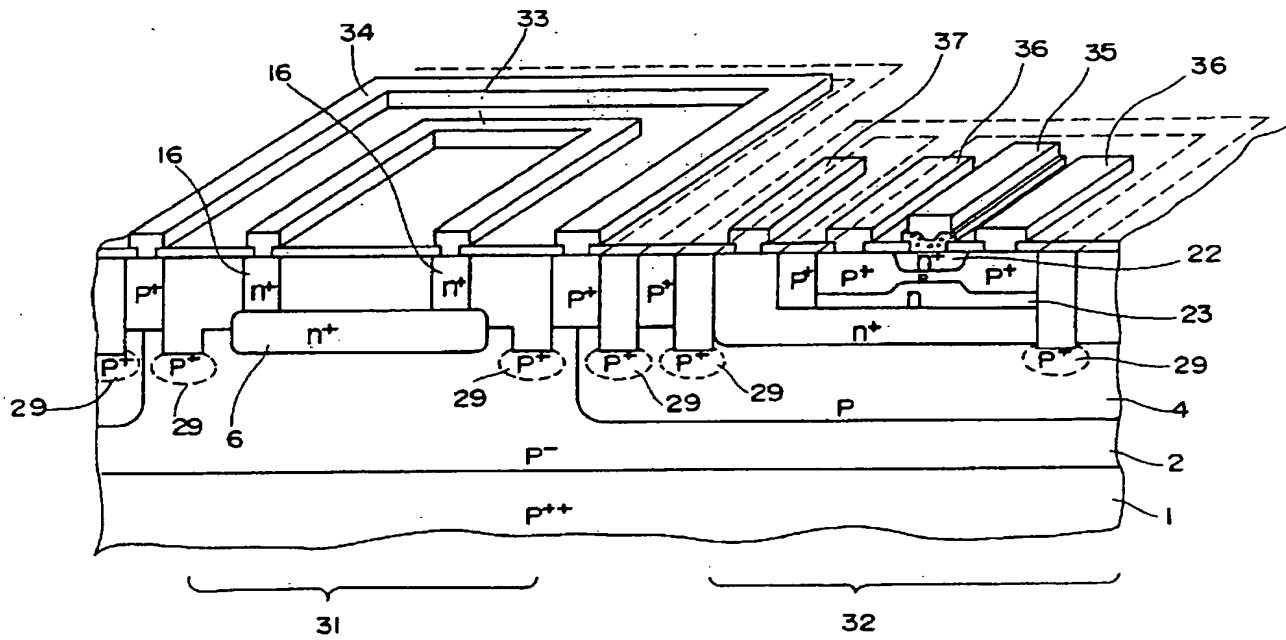
### 実施例の製造方法 (6)

第 1 圖 (6/7)



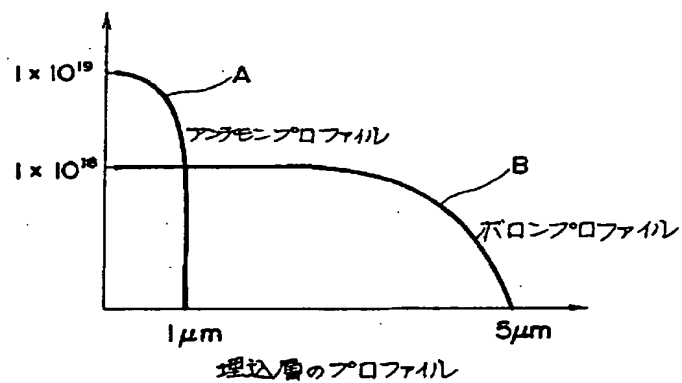
### 実施例の製造方法(7)

第 1 圖 (7/7)



実施例

第 2 図



埋込層のプロファイル

第 3 図

第1頁の続き

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

H 01 L 21/331  
29/73  
31/10

8225-5F H 01 L 29/72

⑦発 明 者 中 村

浩 康

静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**